

PAT-NO: JP403262144A
DOCUMENT-IDENTIFIER: JP 03262144 A
TITLE: WIRING SYSTEM OF SEMICONDUCTOR INTEGRATED
CIRCUIT
PUBN-DATE: November 21, 1991

INVENTOR-INFORMATION:
NAME
ITOU, MAKIKO

ASSIGNEE-INFORMATION:
NAME
NEC CORP

COUNTRY
N/A

APPL-NO: JP02061352
APPL-DATE: March 12, 1990

INT-CL (IPC): H01L021/82, G06F015/60 , H01L021/3205
US-CL-CURRENT: 716/FOR.491

ABSTRACT:

PURPOSE: To facilitate a data management by a method wherein a grid wiring method and a gridless wiring method are mixed.

CONSTITUTION: The coordinate values of a wiring region and the coordinate values of a wiring forbidden region existing within the wiring region are inputted from a data input device 1 and are stored in a storage device 4. Then, the coordinate values of a starting point region 6a and an end point region 6b of a wiring, the distance of the wiring and a wiring width are inputted from the device 1 and are stored in the device 4. Then, a wiring lattice is set within the wiring region, whether which of wiring

lattice points
is a lattice point that allows wiring or not is operated by an arithmetic device 3 and a lattice point 9 that allows wiring and a lattice point 10 that does not allow wiring are decided and are stored in the device 4. Moreover, groups 8 of virtual terminals using a grid wiring method are respectively set on the wiring lattice around the regions 6a and 6b and are stored in the device 4. The coordinate values of a starting point 8a and an end point 8b and the coordinate values of a wiring route 11 are stored in the device 4 by the grid wiring method. Then, a gridless wiring is performed and a wiring route 12 is outputted to the device 4. The route 11, which is found by the grid wiring method, and the route 12, which is found by a gridless wiring method, are outputted to a data output device 5. Thereby, a data management and the recognition of a wiring possible route can be facilitated.

COPYRIGHT: (C)1991,JPO&Japio

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-262144

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月21日

H 01 L 21/82
G 06 F 15/60
H 01 L 21/3205

3 7 0 P 7922-SL

8225-4M H 01 L 21/82
6810-4M 21/88

C
Z

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 半導体集積回路の配線方式

⑯ 特 願 平2-61352

⑰ 出 願 平2(1990)3月12日

⑱ 発 明 者 伊 藤 万 紀 子 東京都港区芝5丁目33番1号・日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

集積回路の配線方式。

発明の名称

半導体集積回路の配線方式

発明の詳細な説明

(産業上の利用分野)

本発明は半導体集積回路の配線方式に関し、特に半導体集積回路のパターンレイアウトにおいて素子を接続する半導体集積回路の配線方式に関する。

(従来の技術)

従来、配線経路を決定する方式は、仮想的配線格子を配線しようとする領域に設定してその格子上で配線経路を求めるグリッド配線法と、配線禁止領域がある領域で設定しておき、その禁止領域をのぞく配線問題を考慮して配線経路を決定する方法、すなわちグリッドレス配線法があった。

グリッド配線法としてはメーズ法、グリッドレス法としては幾分探索法がある。

従来の方法では、ひとつの配線経路を決定するのに、配線格子を設定するグリッド配線法か、禁止領域を決定するグリッドレス法のいずれかひと

特許請求の範囲

配線領域、始点領域、終点領域及び配線に関するデータに応じて配線可能な配線格子点を設定する手段と、前記始点領域と前記終点領域の回りに前記データに応じて始点及び終点として設定可能な仮想端子群を前記格子点上に設定する手段と、前記始点領域の回りの前記仮想端子群で形成された領域と前記始点領域の回りの前記仮想端子群で形成された領域との間を配線格子により配線経路を決定する手法により配線経路を決定しそれにより前記始点と前記終点を決定する手段と、前記始点と前記始点領域との間の配線経路及び前記終点と前記終点領域との間の配線経路をそれぞれ配線格子を設定せずに配線経路を決定する手法により決定する手段とを有することを特徴とする半導体

つを用いており、混在させることはなかった。

〔発明が解決しようとする課題〕

上述した、従来の技術では、各々以下の長所と問題点があった。

まず、配線格子を設定するグリッド配線法では、配線可能か不可能かの判別は、配線格子点群に記憶させておけばよい。すなわち、配線の経路は、この格子点上が配線可能か否かにより、配線できるかできないかが決定できるという長所がある。また、配線を変更する際に、配線格子が設定されていると、配線を移動させることのできる領域が把握しやすいという長所がある。

しかし、配線間隔が回路上のレイアウトパターンの大きさを決定する最小単位となってしまうため、回路上の素子であるトランジスタ、容量、抵抗の大きさは、この配線間隔の倍数でなければならないという制約がつく。実際の素子の大きさは、面積を最小にする目的で最小限度の大きさで設計されており、必ずしも配線間隔の倍数になるということはない。したがって、もし配線格子を

設定した場合、素子を配線格子にのせるために、実際の大きさよりも大きくしなければならないが、面積を余分に設定したために回路全体が大きくなってしまいう問題があった。

又、配線格子を設定せずに配線禁止領域を設定するグリッドレス法では、配線禁止領域を2次元の領域として設定し、その領域以外を配線間隔を考慮しながら配線の経路を決定していくので、上述の方法のような、素子の大きさを余分に設定する必要はなくなるため、回路全体のレイアウトが大きくなることはない。

しかし、回路全体の禁止領域の原価値を常に記憶しておく必要があり、禁止領域の形状は複雑であるため、記憶管理が難しいという問題があった。また、配線を変更する際に、移動してよい領域を認識するのが困難であるという問題があった。

本発明の目的は、配線格子に制約されない大きさの素子を用いることが可能で、しかも、データ管理が容易な半導体集積回路の配線方法を提供す

-3-

ることにある。

〔課題を解決するための手段〕

本発明の半導体集積回路の配線方法は、配線領域、始点領域、終点領域及び配線に関するデータに応じて配線可能な配線格子点を設定する手段と、前記始点領域と前記終点領域の回りに前記データに応じて始点及び終点として設定可能な仮想端子群を前記格子点上に設定する手段と、前記始点領域の回りの前記仮想端子群で形成された領域と前記終点領域の回りの前記仮想端子群で形成された領域との間を配線格子により配線経路を決定する手法により配線経路を決定しそれにより前記始点と前記終点を決定する手段と、前記始点と前記始点領域との間の配線経路及び前記終点と前記終点領域との間の配線経路をそれぞれ配線格子を設定せずに配線経路を決定する手法により決定する手段とを有することを特徴とする。

〔実施例〕

本発明について図面を参照して説明する。第2図は、本発明の一実施例を説明するためのプロッ

-5-

-4-

ク図である。同図に示すように、データ入力装置1、制御装置2、演算装置3、記憶装置4およびデータ出力装置5からなる。

データ入力装置1から、決定しなければならない区間の始点領域と終点領域の図形座標値、配線格子を設定するための始点領域と終点領域を含む区間を含む領域、配線間隔、配線幅、禁止領域を決定するための必要データを入力し、記憶装置4に記憶する。制御装置2は、記憶装置4に予め入力しておいた一連の命令にしたがって、記憶装置4に記憶している必要データを、演算装置2にて演算を行い、結果を出力装置5に出力させる機能を実行する処理を制御する。演算装置3は、制御装置2からの指令により、記憶装置4から必要データを入力し、然るべき演算を行う機能を有する。

第2図に示す装置によって行なう本発明の一実施例を第1図のフローチャート及び第3図、第4図の配線図を用いて説明する。なお、第4図に示す記憶装置4には、第1図に示す一連の命令の流

-6-

れについて記憶されている。

(1) 配線領域と配線領域内に存在する配線禁止領域の座標値を入力装置 1 より入力し、記憶装置に記憶する。

(2) 第 3 図に示す配線の始点領域 6 a と終点領域 6 b の座標値と配線に必要な配線間隔、配線幅を入力装置 1 より入力し、記憶装置 4 に格納する。

(3) 配線領域中に配線格子を設定し、配線格子点が配線可能か否かを演算装置 3 にて演算を行い、配線可能格子点 9 及び配線不可能格子点 10 を決定し、その結果を記憶装置 4 に記憶する。配線格子間隔は、配線幅+配線間隔の距離を保ち、配線同士がこの間隔を保って配線すれば設計ルールを満足する間隔である。

(4) 始点領域 6 a と終点領域 6 b の回りにグリッド配線法の始点または終点となる仮想端子群 8 を配線格子上に設定し、記憶装置 4 に記憶する。仮想端子群 8 は、例えば、端子領域の回りを配線間隔+1/2 配線幅離れた領域と、配線禁止領域とを除く領域内で、最も端子に近い格子点の集合

とする。

(5) 始点領域 6 a の回りの仮想端子群により形成された領域と終点領域 6 b の回りの仮想端子群により形成された領域との間を、グリッド配線法により、配線経路を演算装置にて決定し、第 4 図に示すように、決定した始点 8 a と終点 8 b と配線経路 11 の座標値を記憶装置 3 に記憶する。ここでグリッド配線法は、従来の配線法と同じである。配線経路 11 が決定されることによってグリッド配線の始点と終点である仮想端子 8 a、8 b がそれぞれ 1 つに決定され、この決定された 2 つの仮想端子が、次の工程で行なうグリッドレス配線の始点及び終点となる。

(6) グリッドレス配線を行なう。記憶装置 3 から、配線領域、配線禁止領域、始点領域と(5)で決定された始点領域の仮想端子、終点領域と(5)で決定された終点領域の仮想端子 8 a、8 b の座標値を演算装置に送る。演算装置では、始点領域 6 a と始点領域の仮想端子 8 a、終点領域 6 b と終点領域の仮想端子 8 b のそれぞれの間で、グリ

- 7 -

- 8 -

ッドレス配線の領域 13 を決定する。この結果である配線経路 12 を記憶装置に出力する。この時グリッドレス配線を行なうための領域 13 の大きさは、グリッドレス配線の始点 8 a と終点 8 b をよくみ、配線が失敗しない程度の余裕を見込んだものであり、その領域 13 内にある配線禁止領域 14 だけを考慮して配線を行えばよく、回路全体の禁止領域のデータを管理する必要はない。

(7) グリッド法で求めた配線経路 11 と、グリッドレス法で求めた配線経路 12 をデータ出力装置に出力する。

(発明の効果)

以上説明したように本発明は、グリッド配線法とグリッドレス配線法を混在させることにより、グリッドレス配線法の長所である配線格子に制約されない大きさの素子を用いることができるためレイアウト全体が必要以上に大きくなることなく、しかもグリッドレス配線法で配線を行う領域が限定され回路全体のデータ管理も行なう必要がないので、データ管理しやすく、同時にグリッド

配線法の長所である配線変更の際に配線可能経路が見つけやすいという効果がある。

図面の簡単な説明

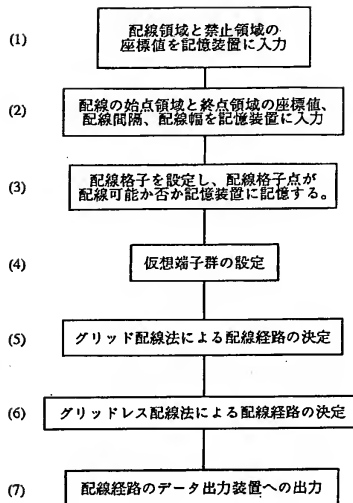
第 1 図は本発明の一実施例を説明するためのフローチャート、第 2 図は本発明の一実施例を説明するためのブロック図、第 3 図は本発明の一実施例による始点・終点領域と端子と配線格子を示す配線領域の図、第 4 図は配線後を示す図である。

1…データ入力装置、2…制御装置、3…演算装置、4…記憶装置、5…データ出力装置、6…配線の始点または終点となる素子の端子領域、8…仮想端子、9…配線可能格子点、10…配線不可能格子点、11…グリッド配線法で決定した配線経路、12…グリッドレス配線法で決定した配線経路、13…グリッドレス配線法で配線する領域。

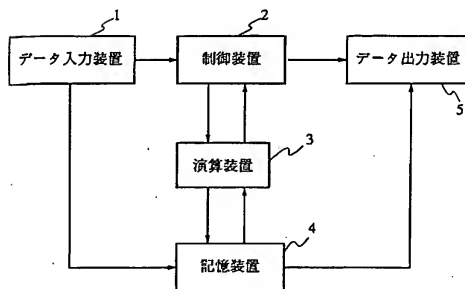
代理人 弁理士 内 原 雪

- 9 -

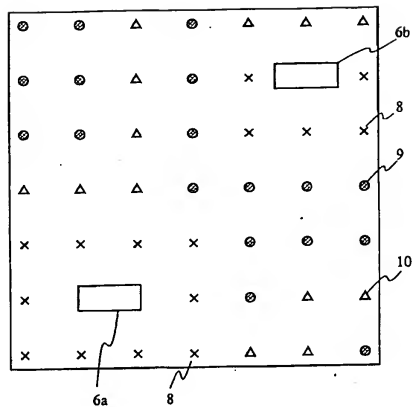
- 10 -



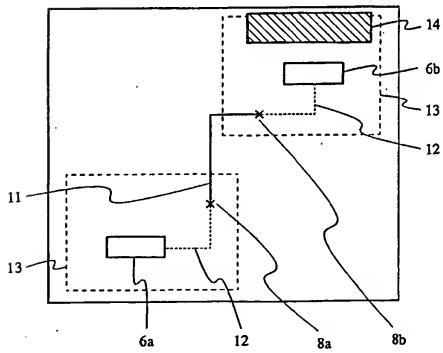
第 1 図



第 2 図



第3図



第4図